

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-095333
 (43)Date of publication of application : 19.07.1980

(51)Int.Cl. H01L 21/58

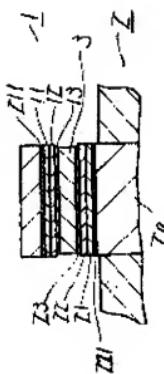
(21)Application number : 54-002212 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 16.01.1979 (72)Inventor : SAITO TETSUO

(54) PREPARATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To keep a certain specified space between an element and a base without difficulty by a method wherein a brazing alloy is provided on each metal layer of one main surface of a semiconductor element and another of a base, and they are heat-pressed in such a way that the brazing alloy with a high melting temperature is sandwiched in between them.

CONSTITUTION: Ni layers 11, 21 and Sn layers 12, 22 are put one after another on the under main surface of a semiconductor element 1 and the upper surface of a base 2a, respectively. Next a brazing alloy layer 3 in the form of a plate composed of Pb-1%Sn with melting point of 327° C is sandwiched in between these layers above. The thickness of the layer 3 is arranged so that it corresponds to a space desired. Next if heat treatment is added in a reducing atmosphere, only Sn is melted at first, and partly diffused in the Ni layer while eutectic alloys 12, 23 are produced on the boundary surface touching the layer 3, then diffused layers 211, 212 are produced. Like this, the element and the base are solidly connected, and the brazing alloy 3 with a high melting point is not melted, so that the thickness desired can be maintained.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭55-95333

⑫ Int. Cl.³
H 01 L 21/58

識別記号
厅内整理番号
6741-5F

⑬ 公開 昭和55年(1980)7月19日

発明の数 1
審査請求 未請求

(全 2 頁)

④ 半導体装置の製造方法

浦電気株式会社トランジスタ工

場内

⑤ 特 願 昭54-2212

⑦ 出 願 昭54(1979)1月16日

川崎市幸区堀川町72番地

⑧ 発明者 齊藤鉄夫

⑨ 代理人 弁理士 井上一男

川崎市幸区小向東芝町1東京芝

明 碑 書

1. 発明の名称 半導体装置の製造方法

2. 技術分類の範囲

1. 主面に金具層が形成された半導体素子と、少くとも素子配設面が金具にてなる半導体素子配設台床部とを介するの金具面を対向せしめらう層を介して接続する半導体装置の製造方法において、半導体素子と半導体素子配設台床部の各金属層に第1のろう層を設ける段階と、前記第1のろう層にこれよりも高融点の第2のろう層を対接せしめる段階と、前記第1のろう層の熔融温度に加熱を施すことにより第1と第2の各ろう層間に共晶結合せしめる段階とにより半導体素子を半導体素子配設台床部に接続することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

この発明は半導体装置の製造方法にかかる、特に半導体素子を半導体素子配設台床部に接続する改良手段を備える半導体装置の製造方法に関する。一般に半導体装置の製造において、半導体素子

を半導体素子配設台床にろう層を介して接続する工程がある。上記らう層は熱処理にて溶融を通り過す毎に組成反応を生ずる傾向にあり、このことはパワーアンプなどの熱抵抗増大を生じ、素子破壊に至ることもある。例えば中容量の整流素子、パワートランジスタなどにあつては半導体素子をPb-Sn系のはんだを介して金具ステムに道元基板気中で溶融して接続されるが、この溶融により前記組成反応の促進、耐熱性不充分によるボイドを発生する欠点、さらには半田層厚が均一にできない欠点などがある。後者の半田層厚については、固定層を経える場合は半導体素子の発熱導出を損じ、薄い場合は半導体素子と半導体素子配設台床との熱伝導係数の差により生ずる応力(差)を吸収できず半導体素子を破壊するに至る欠点が認められている。

この発明は上記従来の欠点に対しこれを改良する半導体装置の製造方法を提供するものである。

この発明にかかる半導体装置の製造方法は半導体素子配設台床に半導体素子をろう接するにあた

り、半導体素子配設台床の金属面と半導体素子の1主面に抜けられた金属面と第1のろう層を被覆して対向せしめ、前記両第1のろう層はこれよりも高融温度が高く所定層になる第2のろう層を対接せしめて、第1のろう層の高融温度に加熱を施すことにより接觸を達成するものである。

次にこの発明を一実施例の半導体装置の製造方法につき前面を参照して詳細に説明する。第1図はろう接前の半導体素子(1)とステム(2)とを対向せしめた状態を断面図示するもので、半導体素子の1主面(半導体素子配設台床と対向する主面、即ち下側主面)とステムの素子配設台床部(2a)の主面(即ち上側主面)には夫々ニッケル層(11)およびその上に低融点ろう材として錫(21)がめつきまたは導熱膏などにより1~5μm程度形成されている。次に第2図に示す如く前記両者を高融点のろう材(3)を介して突き合わせる。このろう材(3)は一例としてPb-15%Snにて融点327°Cになり板状にプリフォームされてなるものを用いる。そしてその層を半導体素子と半導体素子配設台床との間

特開昭55-95333(2)
間に所望されるものとは一層せしめて形成する。すなわち、一例のダイオードやパワートランジスターの素子にて上記簡略が40~60°Cに所望されるものは容易に達成される。次に還元性雰囲気中にて一例として280°Cにて熱処理を施すことにより上記低融点のろう材の8μmが最初に融けはじめ、高融点はんだ層の境界部分に第3図に示す如き共晶合金層(22)を形成するとともにニッケル層(11)に一部が融け、該融層(22)(22)を形成することによって半導体素子および半導体素子配設台床との接合が強化される。上記状態で固着を達成した場合、高融点のろう材は融解せず初期の板厚を保つた状態にあることになる。

なお、この発明は上記実施例に限られることなく、たとえば低融点ろう材にSn-Pb(Sn)Pbのはんだ)、高融点ろう材にSn 1~5%とPbのはんだなど自由に組み合わせて好適する。

この発明によれば特に半導体素子と半導体素子配設台床との間隔が指定される半導体装置の製造を容易にするとともに抵抗疲労、初期抵抗値変動、

(3)

(4)

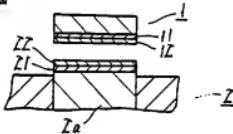
半導体素子の破壊などを防止する顯著な利点がある。

4. 用途の簡単な説明

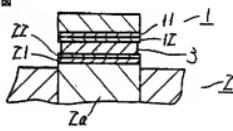
第1図ないし第3図はいずれもこの発明の一実施例の半導体装置の製造方法を説明するための工程図に示す半導体素子の断面図である。

1	半導体素子
2	(ステム)の半導体素子配設台床部
3	高融点のろう材
11	半導体素子のNi層
12	半導体素子配設台床のNi層
21	半導体素子配設台床のNi層
22	半導体素子配設台床のNi層
13,23	共晶合金層
211,221	融層

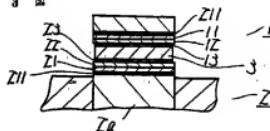
第1図



第2図



第3図



代理人 弁理士 井上一男

(4)